



本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月30日

出 願 番 号

Application Number:

特願2001-098183

出 願 人

Applicant(s):

株式会社東芝

2001年11月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造

出証番号 出証特2001-3097136

【書類名】 特許願

【整理番号】 A000100828

【提出日】 平成13年 3月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の製造方法および半導体装置

【請求項の数】 17

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 島田 美代子

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 宮島 秀史

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 中田 鍊平

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体装置

【特許請求の範囲】

【請求項 1】

半導体基板の上に絶縁膜を形成する工程と、
前記絶縁膜に加熱処理を施しつつ、該絶縁膜に向けて電子線を照射することにより、前記絶縁膜の膜厚方向の一部に変質層を形成する工程と、
前記変質層が形成された前記絶縁膜の膜厚方向に沿って、前記絶縁膜および変質層を選択的にエッチングすることにより、配線用凹部を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

前記絶縁膜に形成された変質層の被エッチング速度が、前記絶縁膜の被エッチング速度よりも遅くなるように、前記絶縁膜の膜厚方向の一部を変質させることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記絶縁膜の変質層を前記絶縁膜の膜厚方向の中間部に形成することを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】

前記絶縁膜を低誘電率の絶縁膜を用いて形成することを特徴とする請求項 1 ～ 3 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】

前記低誘電率膜をポリメチルシロキサンを用いて形成することを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記絶縁膜を塗布法により形成することを特徴とする請求項 1 ～ 5 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】

前記半導体基板の上に前記絶縁膜の材料を塗布し、該絶縁膜の材料を、その温度が段階的に上昇するように加熱して前記半導体基板の上に固定させることによ

り、前記半導体基板の上に前記絶縁膜を形成した後、該絶縁膜を、その温度がさらに高い温度に保持されるように加熱しつつ、該絶縁膜に向けて前記電子線を照射することにより、該絶縁膜の膜厚方向の一部に変質層を形成することを特徴とする請求項 1 ～ 6 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】

前記電子線を照射する際に、前記絶縁膜の温度が 2 0 0℃以上 5 0 0℃未満となるように加熱処理を施すことを特徴とする請求項 1 ～ 7 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 9】

前記電子線を照射する際に、前記電子線の照射量を $500 \mu\text{C}/\text{cm}^2$ 以上に設定することを特徴とする請求項 1 ～ 8 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 0】

前記電子線を照射する際に、前記絶縁膜を所定の減圧雰囲気下に配置することを特徴とする請求項 1 ～ 9 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 1】

前記低誘電率絶縁膜には、銅を主成分とする埋め込み配線が形成されていることを特徴とする請求項 1 ～ 1 0 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 2】

半導体基板と、この半導体基板の上に形成された絶縁膜と、この絶縁膜に形成された配線用凹部と、を具備した半導体装置であって、

前記絶縁膜は、その膜厚方向の一部に加熱処理および電子線の照射による変質層が形成されていることを特徴とする半導体装置。

【請求項 1 3】

前記絶縁膜は、前記変質層の被エッチング速度が前記絶縁膜の被エッチング速度よりも遅くなるように形成されていることを特徴とする請求項 1 2 に記載の半導体装置。

【請求項 1 4】

前記絶縁膜の変質層が前記絶縁膜の膜厚方向の中間部に形成されていることを特徴とする請求項 1 2 または 1 3 に記載の半導体装置。

【請求項 1 5】

前記絶縁膜が低誘電率の絶縁膜を用いて形成されていることを特徴とする請求項 1 2 ～ 1 4 のうちのいずれか 1 項に記載の半導体装置。

【請求項 1 6】

前記低誘電率の絶縁膜がポリメチルシロキサンを主成分として構成されていることを特徴とする請求項 1 5 に記載の半導体装置。

【請求項 1 7】

前記低誘電率絶縁膜には、銅を主成分とする埋め込み配線が形成されていることを特徴とする請求項 1 0 ～ 1 7 のうちのいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置の製造方法、およびこの製造方法によって製造された半導体装置に関する。

【0 0 0 2】

【従来の技術】

近年、半導体素子（装置）の微細化によって配線（下地基板配線）の配線寸法が小さくなるのに伴い、配線間容量が増加し、この半導体装置を用いたデバイスの動作速度に大きな影響を与えるようになってきている。微細化するデバイス的高速化を達成するためには、配線抵抗と線間容量との積を小さくする必要がある。このためには、例えば下地基板配線を抵抗率の低い銅（Cu）配線とするとともに、配線間容量を低減するために、下地基板配線の周りに設けられている薄膜としての絶縁膜に低誘電率層間絶縁膜を採用することが必要不可欠になる。

【0 0 0 3】

従来、半導体装置の層間絶縁膜としては、熱CVD法やプラズマCVD法などによって形成されたシリコン酸化膜が用いられてきた。従来のプラズマCVD法

によって形成された一般的なシリコン酸化膜 (P-SiO_2 膜) の比誘電率は、4.1程度であった。また、このシリコン酸化膜にフッ素 (F_2) を添加して低誘電率化したシリコン酸化膜 (FSG 膜) の比誘電率は、3.3程度であり、これが熱CVD法やプラズマCVD法により生成 (形成) した絶縁膜 (層間絶縁膜) の比誘電率の低さの限界であった。

【0004】

これに対して、最近の研究結果によれば、有機シリコン酸化膜や、シリコンを含まない有機物などの材料からなる低誘電率膜を層間絶縁膜に適用することによって、その比誘電率を2.4~2.8程度に下げることが実用上可能であることが分かってきた。この結果、有機シリコン酸化膜や、シリコンを含まない有機物などの材料からなる低誘電率膜を層間絶縁膜に適用することが要求されている。

【0005】

これら有機シリコン酸化膜や、シリコンを含まない有機物などの材料からなる低誘電率の層間絶縁膜の殆どは、もっぱら塗布法によって膜形成されることを特徴としている。この塗布法による層間絶縁膜の形成方法は、先ず、所望する膜を構成する物質の低分子成分 (前駆体) を溶媒に溶解させたワニスと呼ばれる液状原料を半導体基板の上に塗布する。その後、ワニスを半導体基板とともに加熱して溶媒の揮発 (蒸発) と、低分子成分 (前駆体) の架橋反応とを進行させることによって、薄膜としての層間絶縁膜を形成 (焼成) することを特徴とするものである。ワニスおよび半導体基板は、それらの温度が所定の温度に保持されるように、電気炉やホットプレートなどを用いて加熱されていた。

【0006】

以下、従来の技術に係る層間絶縁膜の形成方法について、その主要な部分の概略を、図3 (a) ~ (c) を参照しつつ説明する。

【0007】

第1工程：

層間絶縁膜102の原料としてのポリメチルシロキサンを溶媒に溶解させた液状原料であるワニス102を、図3 (a) に示すように、コーターを用いたスピコート法によって、半導体装置101が備える直径8インチの半導体基板 (ウ

エハ) 1 0 3 の表面上に塗布する。

【 0 0 0 8 】

第 2 工程：

半導体基板 1 0 3 を、図 3 (b) に示すように、そのワニス (塗布膜) 1 0 2 が塗布された表面側を上向きにした姿勢でホットプレート 1 0 4 上に載置する。その後、ワニス 1 0 2 の温度が約 8 0 ℃ に保持されるようにホットプレート 1 0 4 の温度を調節して、ワニス 1 0 2 を半導体基板 1 0 3 ごと加熱するとともに、この状態を約 1 分間保持する。これによりワニス 1 0 2 に 1 回目の加熱処理を行う。

【 0 0 0 9 】

第 3 工程：

続けて、半導体基板 1 0 3 をホットプレート 1 0 4 上に載置した状態のまま、ワニス 1 0 2 の温度が約 2 0 0 ℃ に保持されるようにホットプレート 1 0 4 の温度を調節して、ワニス 1 0 2 を半導体基板 1 ごと加熱するとともに、この状態を約 1 分間保持する。これによりワニス 1 0 2 に 2 回目の加熱処理を行う。

【 0 0 1 0 】

第 4 工程：

さらに続けて、半導体基板 1 0 3 をホットプレート 1 0 4 上に載置した状態のまま、ワニス 1 0 2 の温度が約 4 0 0 ℃ に保持されるようにホットプレート 1 0 4 の温度を調節して、ワニス 1 0 2 を半導体基板 1 ごと加熱するとともに、この状態を約 3 0 分間保持する。これによりワニス 1 0 2 に 3 回目の加熱処理を行う。この 3 回目の加熱処理を行うに際して、ワニス 1 0 2 は半導体基板 1 0 3 ごと窒素雰囲気中に配置される。

【 0 0 1 1 】

以上説明した第 2 ～第 4 の各工程の加熱処理を経ることによって、第 1 工程において半導体基板 1 0 3 上に塗布された、ポリメチルシロキサン膜の液状原料であるワニス 1 0 2 に含まれる溶媒などを蒸発させて除去する。これにより、ワニスの塗布膜 1 0 2 を半導体基板 1 0 3 上に固定化して、層間絶縁膜としてのポリメチルシロキサン膜 1 0 2 を半導体基板 1 0 3 上に形成する。この場合、膜厚が

約 $1\mu\text{m}$ のポリメチルシロキサン膜 1 0 2 を形成するものとする。

【 0 0 1 2 】

以上説明した第 1 ～第 4 の各工程を経て形成された厚さ約 $1\mu\text{m}$ のポリメチルシロキサン膜 1 0 2 に対して、図 3 (c) に示すように、C F 系ガスを使って直径約 $0.175\mu\text{m}$ の配線穴 (溝) 1 0 5 を形成するエッチング加工を施した。すると、直径 8 インチの半導体基板 1 0 3 の中央部 (センター部) と周縁部 (エッジ部) とで、配線穴 1 0 5 の形状にばらつきが観察された。具体的には、半導体基板 1 0 3 の周縁部 (エッジ部) に形成された配線穴 1 0 5 b が、中央部 (センター部) に形成された配線穴 1 0 5 a よりも 10 % 程深くエッチングされていた。これは、半導体基板 1 0 3 の周縁部における被エッチング速度 (被エッチング・レート) が、中央部にける被エッチング速度よりも 10 % 程速いためと考えられる。

【 0 0 1 3 】

すなわち、第 1 ～第 4 の各工程を経て形成されたポリメチルシロキサン膜 1 0 2 は、その全体が同一物質で形成されているにも拘らず、位置によって被エッチング速度が異なるため、前記各配線穴 1 0 5 a , 1 0 5 b のように、エッチングによる加工部の寸法に、半導体装置 1 0 1 の性能を所定の水準に維持する上で無視し得ない許容範囲外のばらつきが生じてしまっていた。

【 0 0 1 4 】

【発明が解決しようとする課題】

前述したように、従来技術に係る絶縁膜の形成方法では、絶縁膜全体を同一物質で形成しても、位置によって被エッチング速度が異なるため、被エッチング部の寸法に無視し得ない許容範囲外のばらつきが生じてしまう。

【 0 0 1 5 】

また、半導体装置 1 0 1 内 (半導体基板 1 0 3 面上) において、被エッチング速度が略均一となるように制御するのは、素子の微細化、高集積化、および半導体基板 1 0 3 の大口径化などが進むにつれて、ますます困難となっている。

【 0 0 1 6 】

よって、本発明の目的は、エッチングによる絶縁膜の被加工精度を容易に向上できる半導体装置の製造方法、およびこの製造方法により製造された半導体装置

を提供することにある。

【0017】

【課題を解決するための手段】

前記課題を解決するために、本発明に係る半導体装置の製造方法は、半導体基板の上に絶縁膜を形成する工程と、前記絶縁膜に加熱処理を施しつつ、該絶縁膜に向けて電子線を照射することにより、前記絶縁膜の膜厚方向の一部に変質層を形成する工程と、前記変質層が形成された前記絶縁膜の膜厚方向に沿って、前記絶縁膜および変質層を選択的にエッチングすることにより、配線用凹部を形成する工程と、を含むことを特徴とするものである。

【0018】

この半導体装置の製造方法においては、半導体基板の上に形成された絶縁膜に加熱処理を施しつつ、絶縁膜に向けて電子線を照射することにより、絶縁膜の膜厚方向の一部に変質層を形成し、この変質層が形成された絶縁膜の膜厚方向に沿って、絶縁膜および変質層を選択的にエッチングすることにより、配線用凹部を形成する。これにより、配線用凹部が絶縁膜から半導体基板に向かってエッチングされ、その底部が変質層に達した際に、配線用凹部の形成される位置に応じて絶縁膜の非変質部分における被エッチング速度（被エッチング・レート）が異なることに起因する、配線用凹部の被形成速度（被加工速度）の違いを、殆ど無くすように容易に整えることができる。

【0019】

また、本発明に係る半導体装置の製造方法を実施するにあたり、その工程の一部を、以下に述べるような設定としても構わない。

【0020】

前記絶縁膜に形成された変質層の被エッチング速度が、前記絶縁膜の被エッチング速度よりも遅くなるように、前記絶縁膜の膜厚方向の一部を変質させる。

【0021】

前記絶縁膜の変質層を前記絶縁膜の膜厚方向の中間部に形成する。

【0022】

前記絶縁膜を低誘電率の絶縁膜を用いて形成する。

【 0 0 2 3 】

前記低誘電率膜をポリメチルシロキサンを用いて形成する。

【 0 0 2 4 】

前記絶縁膜を塗布法により形成する。

【 0 0 2 5 】

前記半導体基板の上に前記絶縁膜の材料を塗布し、該絶縁膜の材料を、その温度が段階的に上昇するように加熱して前記半導体基板の上に固定させることにより、前記半導体基板の上に前記絶縁膜を形成した後、該絶縁膜を、その温度がさらに高い温度に保持されるように加熱しつつ、該絶縁膜に向けて前記電子線を照射することにより、該絶縁膜の膜厚方向の一部に変質層を形成する。

【 0 0 2 6 】

前記電子線を照射する際に、前記絶縁膜の温度が 2 0 0 ℃ 以上 5 0 0 ℃ 未満となるように加熱処理を施す。

【 0 0 2 7 】

前記電子線を照射する際に、前記電子線の照射量を $500 \mu\text{C}/\text{cm}^2$ 以上に設定する。

【 0 0 2 8 】

前記電子線を照射する際に、前記絶縁膜を所定の減圧雰囲気下に配置する。

【 0 0 2 9 】

前記低誘電率絶縁膜には、銅を主成分とする埋め込み配線が形成されている。

【 0 0 3 0 】

本発明に係る半導体装置の製造方法を実施するにあたり、その工程の一部を、以上述べたような各種設定とすることにより、所望される配線用凹部の形成位置や大きさ、あるいは所望される絶縁膜の性能などに応じて、それらに適するように変質層の形成環境、および絶縁膜の形成材料などを設定して、配線用凹部の被形成速度（被加工速度）を適正な状態に設定できる。

【 0 0 3 1 】

また前記課題を解決するために、本発明に係る半導体装置は、半導体基板と、この半導体基板の上に形成された絶縁膜と、この絶縁膜に形成された配線用凹部

と、を具備した半導体装置であって、前記絶縁膜は、その膜厚方向の一部に加熱処理および電子線の照射による変質層が形成されていることを特徴とするものである。

【 0 0 3 2 】

この半導体装置においては、半導体基板の上に形成された絶縁膜の膜厚方向の一部に変質層が形成されている。これにより、配線用凹部は、これが絶縁膜から半導体基板に向かってエッチングされ、その底部が変質層に達した際に、その形成される位置に応じて絶縁膜の非変質部分における被エッチング速度（被エッチング・レート）が異なることに起因する、被形成速度（被加工速度）の違いが、殆ど無くなるように容易に整えられて形成される。

【 0 0 3 3 】

また、本発明に係る半導体装置において、これが具備する絶縁膜の一部を、以下に述べるような設定としても構わない。

【 0 0 3 4 】

前記絶縁膜の変質層の被エッチング速度が、前記絶縁膜の被エッチング速度よりも遅くなるように形成されている。

【 0 0 3 5 】

前記絶縁膜は、前記変質層が前記絶縁膜の膜厚方向の中間部に形成されている。

【 0 0 3 6 】

前記絶縁膜が低誘電率の絶縁膜を用いて形成されている。

【 0 0 3 7 】

前記低誘電率の絶縁膜がポリメチルシロキサンを主成分として構成されている。

【 0 0 3 8 】

前記低誘電率絶縁膜には、銅を主成分とする埋め込み配線が形成されている。

【 0 0 3 9 】

本発明に係る半導体装置が具備する絶縁膜の一部を、以上述べたような各種設

定とすることにより、所望される配線用凹部の形成位置や大きさ、あるいは所望される絶縁膜の性能などに応じて、それらに適するように変質層の形成環境、および絶縁膜の形成材料などが設定されて、配線用凹部の被形成速度（被加工速度）を適正な状態に設定される。

【0040】

【発明の実施の形態】

以下、本発明の一つの実施の形態に係る半導体装置の製造方法、およびこの製造方法により製造された半導体装置を、図1（a）～（c）、および図2に基づいて説明する。

【0041】

本実施形態の半導体装置の製造方法は、半導体基板3の上に絶縁膜2を形成する工程と、絶縁膜2に加熱処理を施しつつ、絶縁膜2に向けて電子線を照射することにより、絶縁膜2の膜厚方向の一部に変質層2bを形成する工程と、変質層2bが形成された絶縁膜2の膜厚方向に沿って、絶縁膜2および変質層2bを選択的にエッチングすることにより、配線用凹部5を形成する工程と、を含むことを特徴とするものである。

【0042】

本実施形態においては、図1（a）～（c）に示すように、直径8インチの半導体基板3の一端面としての表面上に、第1の層間絶縁膜である下地絶縁膜として、例えば第1ポリメチルシロキサン膜2cが予め形成されているものとする。それとともに、この第1ポリメチルシロキサン膜2cには、銅（Cu）を主成分とする埋め込み配線6が予め形成されているものとする。この第1ポリメチルシロキサン膜（第1低誘電率層間絶縁膜）2cは、後述する第2の層間絶縁膜2と同様に、後述する本発明に係る半導体装置の製造方法により形成可能である。すなわち、本発明に係る本実施形態の半導体装置の製造方法の特徴は、より詳細には、半導体基板3の上に第1の層間絶縁膜である下地絶縁膜2cを形成し、この下地絶縁膜2cの上に絶縁膜2を形成する工程を含むことになるが、このような本実施形態の半導体装置の製造方法は、本発明に係る半導体装置の製造方法の範疇に入っていることはもちろんである。

【0043】

また、前述したように、第1ポリメチルシロキサン膜2cは、後述する第2の層間絶縁膜2と同様に、後述する本発明に係る半導体装置の製造方法により形成可能である。したがって、本実施形態においては、第1層および第2層の両絶縁膜2c、2のそれぞれの形成工程の説明が重複するのを避けるために、半導体基板3の上に第1ポリメチルシロキサン膜2cを形成する工程についての詳しい説明は省略し、第1ポリメチルシロキサン膜2cの上に第2の層間絶縁膜2を形成する工程について詳述する。

【0044】

本実施形態においては、膜厚約1 μ mの絶縁膜としての第2層間絶縁膜2を、第1ポリメチルシロキサン膜2cの上に形成する。この第2層間絶縁膜には、低誘電率型の層間絶縁膜としてポリメチルシロキサン膜2を形成する。

【0045】

以下、第2ポリメチルシロキサン膜2を形成する工程を、第1～第4の各工程に細分化して詳細に説明する。

【0046】

第1工程：

第2低誘電率層間絶縁膜としての第2ポリメチルシロキサン膜2の膜材料、もしくはその第2ポリメチルシロキサン膜2を構成する物質である、低分子成分（前駆体）としてのポリメチルシロキサンを溶媒に溶解させたワニスと呼ばれる液状原料2を、図1（a）に示すように、半導体基板3の上に設けられている第1ポリメチルシロキサン膜2cの上に配置する。このワニス2を配置する方法としては、本実施形態においては、良質かつ均一な第2ポリメチルシロキサン膜2が成膜されるように、ワニス2を略均一な厚さでむらなく設けることができる塗布法を採用する。このワニス2の塗布作業は、具体的には、塗布装置として、例えば図示しないコーターを用いて、塗布法的一种であるスピコート法によってワニス2を第1ポリメチルシロキサン膜2cの表面上に塗布するものである。

【0047】

第2工程：

第1ポリメチルシロキサン膜2cの上にワニス2が塗布された半導体基板3を、図1(b)に示すように、そのワニス2が塗布された表面側を上向きにした姿勢で温度調節装置としての加熱装置(ホットプレート)4上に載置する。その後、ワニス2の温度が約80℃に保持されるようにホットプレート4の温度を調節して、ワニス2を半導体基板3および第1ポリメチルシロキサン膜2cごと加熱するとともに、この状態を約1分間保持する。これによりワニス2に1回目の加熱処理を施す。

【0048】

第3工程：

続けて、半導体基板3および第1ポリメチルシロキサン膜2cをホットプレート4上に載置した状態のまま、ワニス2の温度が約200℃に保持されるようにホットプレート4の温度を調節して、ワニス2を半導体基板3および第1ポリメチルシロキサン膜2cごと加熱するとともに、この状態を約1分間保持する。これによりワニス2に2回目の加熱処理を施す。

【0049】

これら第2および第3の各工程の加熱処理によって、第1工程において第1ポリメチルシロキサン膜2cの表面上に塗布された第2ポリメチルシロキサン膜2の液状原料であるワニス2に含まれる溶媒などを揮発(蒸発)させて除去する。これにより、ポリメチルシロキサンを主成分とするワニス(塗布膜)2を第1ポリメチルシロキサン膜2cの表面上に固定化(固着)する。

【0050】

本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、第2および第3工程の加熱処理において、ワニス2の温度を先ず約80℃、次に約200℃と段階的に約1分間ずつ加熱して上昇させるのが、ワニス2中の溶媒等、第2ポリメチルシロキサン膜2の主要成分であるポリメチルシロキサン以外の成分を効率よく略完全に揮発させる(飛ばす)のに好ましい(適している)温度設定であることが明らかにされている。

【0051】

第4工程：

さらに続けて、ポリメチルシロキサンを主成分とするワニス2が固定化された半導体基板3および第1ポリメチルシロキサン膜2cを、ホットプレート4上に載置した状態のまま、ワニス2およびこのワニス2を基にして成膜される第2ポリメチルシロキサン膜2が酸化されないように、約0.1Torrまで減圧した減圧雰囲気下に配置する。また、この際、第2ポリメチルシロキサンのワニス2が固定化された半導体基板3および第1ポリメチルシロキサン膜2cが配置される雰囲気窒素(N_2)ガスを主成分とするガスで満たす。

【0052】

この状態において、ワニス2の温度が約400℃に保持されるようにホットプレート4の温度を調節して、ワニス2を半導体基板3ごと加熱するとともに、図1(b)中白抜き矢印で示すように、図示しない電子線照射装置からワニス2に向けて、照射(加速)エネルギーが約6keV、照射量(Dose量)が約500 $\mu C/cm^2$ の電子線(EB)を照射(暴露)する。これにより、半導体基板3の表面上に所望する第2ポリメチルシロキサン膜2を形成する。

【0053】

以上説明したように、第2～第4の各工程のうち、それらの最終工程である第4工程においてのみワニス2に加熱処理を施しつつ、ワニス2に向けて電子線を照射する。これは、固定化されていない状態のワニス2に電子線を照射することにより、ワニス2中に含まれる溶媒などのポリメチルシロキサン以外の成分まで変質させて、所望外の特性を有する低誘電率層間絶縁膜が形成されるのを未然に防ぐためである。すなわち、ワニス2中に含まれる溶媒などの不要な成分が飛ばされて固定化された第2ポリメチルシロキサン膜2を変質させて、所望の特性を有する低誘電率層間絶縁膜を得るためである。

【0054】

以上説明した第1～第4の各工程を経て形成された第2ポリメチルシロキサン膜2は、図1(b)に示すように、その膜厚方向に沿って内部特性が異なる3層に分離された状態となって形成される。詳しく説明すると、前記第4工程において、ワニス2に加熱処理を施す際に、その加熱処理に併せて照射した電子線は、図2のグラフに示すようなエネルギー特性を有している。このような特性を有す

る電子線を、前記第4工程の加熱処理によって形成されつつある第2ポリメチルシロキサン膜2に、その表面側から照射すると、そのエネルギーの大部分が第2ポリメチルシロキサン膜2の膜厚方向の中間部において吸収される。第2ポリメチルシロキサン膜2の原料は、単一の性質からなるであるワニス2であるにも拘らず、電子線のエネルギーの殆どを吸収した第2ポリメチルシロキサン膜2の膜厚方向の中間部は、電子線のエネルギーを殆ど吸収しなかった膜厚方向の両端部とは異なる性質を有するように変質されて形成される。

【0055】

具体的には、電子線によって変質された第2ポリメチルシロキサン膜2の膜厚方向の中間部（中間層）としての変質層（変質部分）2bは、電子線によって殆ど変質されなかった第2ポリメチルシロキサン膜2の膜厚方向の両端部（上層および下層）としての非変質層（非変質部分）2aよりも、後述する第2ポリメチルシロキサン膜2のエッチング工程（処理）における被エッチング速度（被エッチング・レート）が遅く（低く）なるように形成される。

【0056】

次に、以上説明したように、膜厚方向の中間部に異なる性質（被エッチング・レート）の変質層2bを有するように形成された、膜厚約 $1\mu\text{m}$ の第2ポリメチルシロキサン膜2に対して、予め第1ポリメチルシロキサン膜2cに形成されているCu埋め込み配線6に、図示しない上下層配線を接続するための配線用凹部5を、エッチングにより複数箇所に形成する。本実施形態においては、第2ポリメチルシロキサン膜2の表面を、所望する配線パターンが形成されている図示しないマスクで覆いつつ、その表面側から図示しないエッチング用のガスであるCF系ガスを吹き付けることにより、直径の大きさが約 $0.175\mu\text{m}$ の配線用凹部としての配線溝（穴）5を、第2ポリメチルシロキサン膜2の複数箇所に形成する。この際、各配線溝5は、その最深部（底部）がポリメチルシロキサン膜2の膜厚方向の上層部を貫通して中間部に達するか、もしくは中間部を貫通するように設定する。

【0057】

前記エッチング工程が終了した後、形成された各配線溝5の形状などを調べる

と、それらの違い（ばらつき）のうち、主要なものである各配線溝 5 の深さの違いは、8 インチの半導体基板 3 の中央部（センター部）と周縁部（エッジ部）とで僅か 5 % 程度であった。具体的には、本実施形態の製造方法により形成された第 2 ポリメチルシロキサン膜 2 に形成された各配線溝 5 において、8 インチの半導体基板 3 および第 1 ポリメチルシロキサン膜 2 c の周縁部に対向する位置に形成された配線溝 5 b が、半導体基板 3 の中央部に対向する位置に形成された配線溝 5 a よりも僅かに約 5 % 深いだけであった。すなわち、第 2 このポリメチルシロキサン膜 2 においては、これに形成された各配線溝 5 a, 5 b は、それらのエッチング加工が施された位置に拘らず、前述した従来技術と比較すると、それらの深さのばらつきが約半分に低減されていた。つまり、この第 2 ポリメチルシロキサン膜 2 においては、これにエッチング加工によって形成された各配線溝 5 a, 5 b の間に、深さのばらつきは殆ど認められなかった。このエッチング加工における約 5 % の加工寸法の誤差は、この第 2 ポリメチルシロキサン膜 2 を低誘電率層間絶縁膜として具備するとともに、この第 2 ポリメチルシロキサン膜 2 に設けられる図示しない配線を具備する半導体装置 1 の性能を、実用上適正な水準に維持するのに無視し得る、許容誤差範囲内である。

【0058】

このように、本実施形態の製造方法により形成された第 2 ポリメチルシロキサン膜 2 は、半導体基板 3 の周縁部に対向する位置における被エッチング・レートが、半導体基板 3 の中央部に対向する位置における被エッチング・レートに対して僅かに約 5 % 速いだけであった。これは、前述したように、第 2 ポリメチルシロキサン膜 2 の膜厚方向の中間部に形成された変質層 2 b において、第 2 ポリメチルシロキサン膜 2 の膜厚方向に沿った被エッチング・レートの違い、すなわち被エッチング・レートのばらつきが略均一になるように整えられた（補正された）ためであると考えられる。

【0059】

本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、前述した従来技術に係る絶縁膜の形成方法によって形成されたポリメチルシロキサン膜 102 の CF 系ガスに対する被エッチング・レートは約 300nm/min であった。他

方、本発明に係る本実施形態の半導体装置の製造方法において、照射エネルギーを約6keVに、かつ、照射量（Dose量）を約 $500\mu\text{C}/\text{cm}^2$ に設定された電子線を、膜厚約 $1\mu\text{m}$ の第2ポリメチルシロキサン膜2に照射することにより形成した、第2ポリメチルシロキサン膜2の変質層2bのCF系ガスに対する被エッチング・レートは約 $100\text{nm}/\text{min}$ であった。また、前述したように、電子線が殆ど吸収されなかった第2ポリメチルシロキサン膜2の非変質層2aのCF系ガスに対する被エッチング・レートは、従来技術の半導体装置の製造方法によって形成された第2ポリメチルシロキサン膜2のCF系ガスに対する被エッチング・レートと同様に、約 $300\text{nm}/\text{min}$ であった。

【0060】

すなわち、本実施形態の半導体装置の製造方法によって形成された膜厚約 $1\mu\text{m}$ の第2ポリメチルシロキサン膜2は、その膜厚方向に沿って、その中間部である深さ（高さあるいは厚さと称しても構わない。）約 500nm の近傍に、約 $100\text{nm}/\text{min}$ の被エッチング・レートを有している変質層2b（変質領域、変質膜）が形成されているとともに、それ以外の深さである両端部に、約 $300\text{nm}/\text{min}$ の被エッチング・レートを有している非変質層2a（非変質領域、非変質膜）が形成されている。したがって、本実施形態の第2ポリメチルシロキサン膜2においては、半導体基板3および第1ポリメチルシロキサン膜2cの中央部および周縁部のそれぞれに対向する位置において、第2ポリメチルシロキサン膜2の上層部を形成している約 $300\text{nm}/\text{min}$ の比較的速い被エッチング・レート（高エッチング・レート部）を有する非変質層2aにおいて生じる被エッチング・レートの違い（ばらつき）が、第2ポリメチルシロキサン膜2の中間部を形成している約 $100\text{nm}/\text{min}$ の比較的遅い被エッチング・レート（低エッチング・レート部）を有する変質層2bにおいて整えられることにより、最終的に形成される各配線溝5a、5bの深さの違い（ばらつき）が低減されたことが分かる。

【0061】

また、本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、本実施形態に用いた第2ポリメチルシロキサン膜2以外の絶縁膜2でも、絶縁膜2の形成工程において、加熱作業と電子線照射作業とを併せて行うことにより、

その一部を変質して形成できることが分かっている。さらに、加熱作業と電子線照射作業とを併せて行うことにより、単なる加熱処理のみでは実現できないような分子間の架橋反応、分子鎖の切断、あるいは様々な基の分離などを行うことができ、加熱処理のみによる絶縁膜の焼成とは異なる構造を有する絶縁膜 2 を得ることができることが分かっている。例えば、図示しない低誘電率膜の一種である有機シリコン酸化膜を、加熱作業と電子線照射作業とを併せて行って形成した場合、電子線照射により CH_3 基と主鎖との結合を切断して、低誘電率を保持しつつ、構造的に SiO_2 膜に近い膜を形成できることが本発明の発明者達により明らかにされている。

【 0 0 6 2 】

このように、本発明に係る半導体装置の製造方法によれば、第 1 ポリメチルシロキサン膜 2 c の表面上に形成された第 2 絶縁膜 2 の内部におけるエッチングの反応速度の非均一性を解消するために、例えば、被エッチング速度の異なる部分を被加工膜としての第 2 絶縁膜 2 の中間に形成し、そこで被エッチング速度の非均一性から生じる配線用凹部 5 などの加工寸法のばらつきを抑制して整えるという、近年切望されているエッチング加工技術（絶縁膜形成技術）を容易に実施できる。

【 0 0 6 3 】

また、本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、第 4 工程においてワニス 2 に電子線を照射する際に、ワニス 2 の温度が 200°C 以上 500°C 未満、好ましくは約 380°C ～ 400°C 程度の範囲内で略一定の温度となるように加熱処理を施すことにより、本製造方法によって形成される第 2 ポリメチルシロキサン膜 2 を具備する半導体装置 1 が、実用上適正な動作性能を発揮できる良質な第 2 ポリメチルシロキサン膜 2 を形成できることが明らかにされている。とりわけ、前記約 400°C というワニス 2 の設定温度は、前記約 380°C ～ 400°C 程度という温度範囲の中でも、本製造方法によって形成された第 2 ポリメチルシロキサン膜 2 を具備した半導体装置 1 が実用上極めて良好な動作性能を発揮できる、極めて良質な第 2 ポリメチルシロキサン膜 2 を形成できる値である。

【0064】

また、本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、第4工程においてワニス2へ照射する電子線の照射量を、約 $500\mu\text{C}/\text{cm}^2$ 以上で略一定の値となるように設定して電子線照射を行うことにより、本製造方法によって形成される第2ポリメチルシロキサン膜2を具備する半導体装置1が、実用上適正な動作性能を発揮できる良質な第2ポリメチルシロキサン膜2を形成できることが明らかにされている。とりわけ、前記約 $500\mu\text{C}/\text{cm}^2$ という電子線の設定照射量は、前記約 $500\mu\text{C}/\text{cm}^2$ 以上という照射量の範囲の中でも、本製造方法によって形成された第2ポリメチルシロキサン膜2を具備した半導体装置1が実用上極めて良好な動作性能を発揮できる、極めて良質な第2ポリメチルシロキサン膜2を形成できる値である。

【0065】

同様に、本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、第4工程においてワニス2へ照射する電子線の加速エネルギーを、数keV～15keV程度の範囲内で略一定の値となるように設定して電子線照射を行うことにより、本製造方法によって形成される第2ポリメチルシロキサン膜2を具備する半導体装置1が、実用上適正な動作性能を発揮できる良質な第2ポリメチルシロキサン膜2を形成できることが明らかにされている。とりわけ、前記約6keVという電子線の設定エネルギー量は、前記数keV～15keV程度というエネルギー量の範囲の中でも、本製造方法によって形成された第2ポリメチルシロキサン膜2を具備した半導体装置1が実用上極めて良好な動作性能を発揮できる、極めて良質な第2ポリメチルシロキサン膜2を形成できる値である。

【0066】

さらに、本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、第4工程においてワニス2に加熱処理を施しつつ電子線を照射する際に、ワニス2を所定のガス中において、所定の範囲内の減圧雰囲気下に配置することにより、本製造方法によって形成される第2ポリメチルシロキサン膜2を具備する半導体装置1が、実用上適正な動作性能を発揮できる良質な第2ポリメチルシロキサン膜2を形成できることが明らかにされている。とりわけ、前記窒素ガス中に

において、約0.1Torrという略一定の減圧値に設定された雰囲気下にワニス2を配置することにより、本製造方法によって形成された第2ポリメチルシロキサン膜2を具備した半導体装置1が実用上極めて良好な動作性能を発揮できる、極めて良質な第2ポリメチルシロキサン膜2を形成できることが明らかにされている。

【0067】

以上説明したように、本実施形態の半導体装置の製造方法によれば、第2ポリメチルシロキサン膜2の形成工程において、加熱処理と電子線照射処理とを併用することにより、第2ポリメチルシロキサン膜2の膜厚方向の中間部に、その両端部よりも被エッチング・レートの遅い変質層2bを容易に形成できる。これにより、第2ポリメチルシロキサン膜2の膜厚方向の両端部のうち、エッチングが開始される側の上層部における被エッチング位置の違いにより生じた被エッチング・レートの違いを、中間部において容易に低減できる。ひいては、被エッチング・レートの違いによる各配線溝5a、5b間の深さの違いを容易に低減できる。すなわち、本実施形態の半導体装置の製造方法によれば、第2ポリメチルシロキサン膜2のエッチングによる被加工精度を容易に向上できる。したがって、本実施形態の半導体装置の製造方法によれば、この製造方法によって形成される第2ポリメチルシロキサン膜2の電氣的性能（品質）を容易に向上させることができる。

【0068】

また、本実施形態の半導体装置の製造方法によって形成された第2ポリメチルシロキサン膜2を具備する半導体装置1によれば、第2ポリメチルシロキサン膜2のエッチングによる被加工精度が高いので、第2ポリメチルシロキサン膜2の電氣的性能を容易に向上させて、半導体装置1の歩留まりを容易に向上できる。また、第2ポリメチルシロキサン膜2の電氣的性能を容易に向上できるので、半導体装置1全体の電氣的性能を容易に向上できる。したがって、本実施形態の半導体装置の製造方法によって形成された第2ポリメチルシロキサン膜2を具備する半導体装置1によれば、歩留まりを向上させて、その生産効率を向上できるとともに、処理能力の高い半導体装置1、ひいてはこの半導体装置1を用いた処理能力の高い各種半導体デバイスを生産できる。

【 0 0 6 9 】

また、以上説明した作用、および効果は、第 1 低誘電率層間絶縁膜としての第 1 ポリメチルシロキサン膜 2 c についても同様に得ることができるものである。すなわち、本発明に係る半導体装置の製造方法によって製造された半導体装置 1 は、これが具備する 2 層構造からなる第 1 ポリメチルシロキサン膜 2 c および第 2 ポリメチルシロキサン膜 2 全体が、実用上十分な強度を有しているとともに、半導体装置 1 の性能を妨げない略均一な良質な第 1 ポリメチルシロキサン膜 2 c および第 2 ポリメチルシロキサン膜 2 として形成されている。

【 0 0 7 0 】

なお、本発明に係る半導体装置の製造方法、およびこの製造方法によって製造された半導体装置 1 は、前述した一実施形態には制約されない。本発明の主旨を逸脱しない範囲において、本発明に係る半導体装置の製造方法が有する各工程を、種々様々な状態に設定できる。

【 0 0 7 1 】

例えば、本発明に係る半導体装置の製造方法は、前述した 2 層の絶縁膜 2 c，2 を形成する場合のみならず、3 層以上の多層構造からなる絶縁膜を形成する場合や、あるいは 1 層のみの絶縁膜を形成する場合においても、前記 2 層構造の絶縁膜 2 c，2 を形成する場合と同様の効果を得ることができる。また、本発明に係る半導体装置の製造方法によって形成される絶縁膜は、前述した低誘電率膜であるポリメチルシロキサン膜以外でも構わない。少なくとも加熱作業と電子線照射作業との併用によって、絶縁膜の所望する部分の被エッチング・レートを所望する速さに設定できるように変質できるものであればよい。また、絶縁膜を形成する方法は、前述した塗布法でなくとも構わない。絶縁膜を構成する材料に応じて、成膜される膜の品質を良好な状態に維持できる方法であれば、前述した塗布法以外でも構わない。例えば C V D 法を採用することにより、より良質の絶縁膜を形成することもできる。

【 0 0 7 2 】

また、絶縁膜を形成する際に、段階的に温度を上げて溶媒を揮発させる代わりに、ワニスを所定の減圧雰囲気下に配置して溶媒を揮発させることにより、絶縁

膜を基板に固着させても構わない。また、変質層を形成する位置は、所望する配線用凹部の深さに応じて、その加工寸法のばらつきを整えることができる位置に形成すれば良い。

【 0 0 7 3 】

さらに、前述したワニスの加熱温度および時間、電子線の加速エネルギーおよび照射量、ならびに雰囲気の高圧値など、諸々の設定値は、本発明に係る半導体装置の製造方法によって製造される半導体装置の性能を、所望する水準に到達させることができるものであれば、製造環境に応じて、種々様々な組み合わせに設定して構わない。

【 0 0 7 4 】

【発明の効果】

本発明に係る半導体装置の製造方法によれば、配線用凹部が絶縁膜から半導体基板に向かってエッチングされ、その底部が変質層に達した際に、配線用凹部の形成される位置に応じて絶縁膜の非変質部分における被エッチング速度（被エッチング・レート）が異なることに起因する、配線用凹部の被形成速度（被加工速度）の違いを、殆ど無くすように容易に整えることができる。したがって、配線用凹部の被形成位置に拘らず、エッチングによる配線用凹部の被加工速度を略均一となるように容易に設定できるので、エッチングによる配線用凹部の被加工精度、ひいては絶縁膜の被加工精度を容易に向上できる。

【 0 0 7 5 】

また、本発明に係る半導体装置の製造方法を実施するにあたり、所望される配線用凹部の形成位置や大きさ、あるいは所望される絶縁膜の性能などに応じて、それらに適するように変質層の形成環境、および絶縁膜の形成材料などを設定して、配線用凹部の被形成速度（被加工速度）を適正な状態に設定できる。したがって、配線用凹部の被形成位置に拘らず、エッチングによる配線用凹部の被加工精度、ひいては絶縁膜の被加工精度をより容易に向上できる。

【 0 0 7 6 】

また、本発明に係る半導体装置によれば、配線用凹部は、これが絶縁膜から半導体基板に向かってエッチングされ、その底部が変質層に達した際に、その形成

される位置に応じて絶縁膜の非変質部分における被エッチング速度（被エッチング・レート）が異なることに起因する、被形成速度（被加工速度）の違いが、殆ど無くなるように容易に整えられて形成される。したがって、配線用凹部の被形成位置に拘らず、エッチングによる配線用凹部の被加工速度が略均一となるように容易に設定されるので、エッチングによる配線用凹部の被加工精度、ひいては絶縁膜の被加工精度が容易に向上される。

【0077】

また、本発明に係る半導体装置を実施するにあたり、所望される配線用凹部の形成位置や大きさ、あるいは所望される絶縁膜の性能などに応じて、それらに適するように変質層の形成環境、および絶縁膜の形成材料などが設定されて、配線用凹部の被形成速度（被加工速度）が適正な状態に設定される。したがって、配線用凹部の被形成位置に拘らず、エッチングによる配線用凹部の被加工精度、ひいては絶縁膜の被加工精度が容易に向上される。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る半導体装置の製造方法を簡略して示す工程断面図であり、（a）は半導体基板および第1ポリメチルシロキサン膜上に第2ポリメチルシロキサン膜を形成した状態、（b）は図1（a）の第2ポリメチルシロキサン膜に加熱処理を施しつつ電子線を照射している状態、（c）は図1（a）の第2ポリメチルシロキサン膜にエッチングにより配線用の溝を形成した状態を、それぞれ示す。

【図2】

図1（b）に示す電子線の第2ポリメチルシロキサン膜に吸収されるエネルギー量の膜厚依存性を示すグラフ。

【図3】

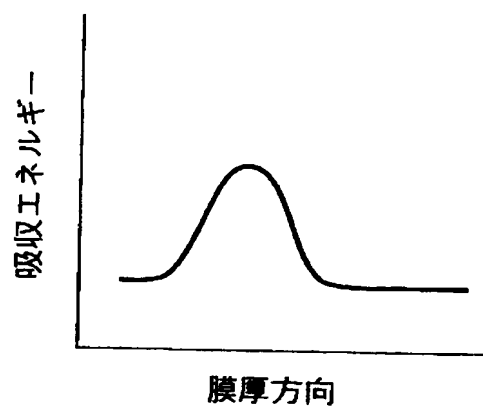
従来の技術に係る半導体装置の製造方法を簡略して示す工程断面図であり、（a）は半導体基板上にポリメチルシロキサン膜を形成した状態、（b）は図1（a）のポリメチルシロキサン膜に加熱処理を施している状態、（c）は図1（a）のポリメチルシロキサン膜にエッチングにより配線用の溝を形成した状態を、

それぞれ示す。

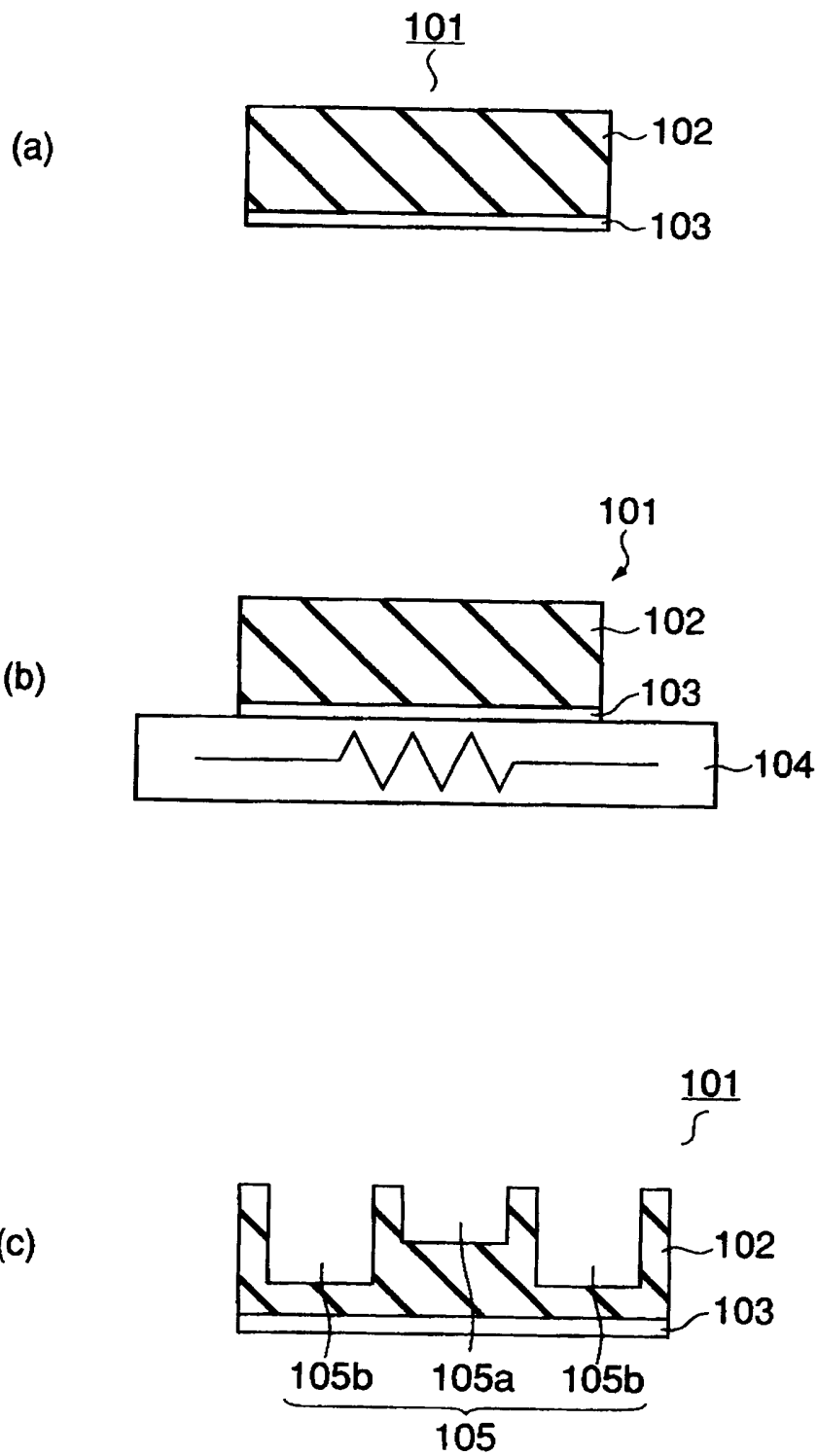
【符号の説明】

- 1…半導体装置
- 2…第2ポリメチルシロキサン膜（第2低誘電率層間絶縁膜、ワニス）
- 2 a…絶縁膜非変質層（絶縁膜上層および下層、高エッチング・レート部）
- 2 b…絶縁膜変質層（絶縁膜中間層、低エッチング・レート部）
- 2 c…第1ポリメチルシロキサン膜（第1低誘電率層間絶縁膜、下地絶縁膜、ワニス）
- 3…半導体基板
- 4…ホットプレート（温度調節装置）
- 5…配線溝（配線用凹部）
- 5 a…中央部配線溝
- 5 b…周縁部配線溝
- 6…Cu埋め込み配線

【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 エッチングによる絶縁膜の被加工精度を容易に向上できる半導体装置の製造方法、およびこの製造方法により製造された半導体装置を提供する。

【解決手段】 半導体基板 3 上に形成した第 1 ポリメチルシロキサン膜 2 c の表面上に、第 2 低誘電率層間絶縁膜としての第 2 ポリメチルシロキサン膜 2 の液状原料であるワニス 2 を塗布する。ワニス 2 を、先ず約 8 0℃、次に約 2 0 0℃でそれぞれ約 1 分間ずつ保持しつつ段階的に加熱して、ワニス 2 を膜 2 c 上に固着させる。続けて、N₂ ガスを主成分とする約 0.1Torr の減圧雰囲気下にワニス 2 を配置して、約 4 0 0℃に加熱して保持しつつ、照射エネルギーが約 6keV、照射量が約 500 $\mu\text{C}/\text{cm}^2$ の電子線をワニス 2 に向けて照射する。これにより、第 2 ポリメチルシロキサン膜 2 の膜厚方向の中間部に、被エッチング・レートがその両端部の被エッチング・レートよりも遅い変質層 2 b を形成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝